

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274415

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
// C23C 14/08

(21)Application number : 11-001944

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.01.1999

(72)Inventor : NISHITSUJI MITSURU

(30)Priority

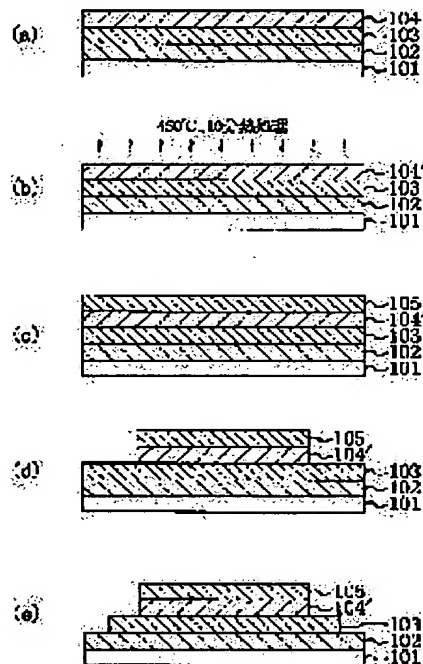
Priority	10 2231	Priority	08.01.1998	Priority	JP
----------	---------	----------	------------	----------	----

(54) MANUFACTURE OF CAPACITIVE ELEMENT AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a capacitive element provided with a strontium titanate film having a high specific inductive capacity and formed on an integrated circuit having such a thermally unstable member as the epitaxial substrate, etc., without deteriorating the characteristics of the epitaxial substrate, etc.

SOLUTION: A capacitive element is manufactured by using a crystallized strontium titanate film 104' obtained by heat-treating a strontium titanate film 104 deposited at such a temperature that does not give any influence to an epitaxial substrate 101, etc., for a short time at a temperature of $\leq 500^{\circ}\text{C}$ as a capacitor insulating film.



LEGAL STATUS

[Date of request for examination] 12.10.2000

[Date of sending the examiner's decision of rejection] 08.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted to registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274415

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

C

21/822

C 2 3 C 14/08

E

27/108

H 0 1 L 27/10

6 2 1 Z

21/8242

6 5 1

// C 2 3 C 14/08

審査請求 未請求 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願平11-1944

(71) 出願人 000005821

(22) 出願日 平成11年(1999)1月7日

松下電器産業株式会社

大阪府門真市大字門真1006番地

(31) 優先権主張番号 特願平10-2231

(72) 発明者 西辻 充

大阪府門真市大字門真1006番地 松下電器

(32) 優先日 平10(1998)1月8日

産業株式会社内

(33) 優先権主張国 日本 (J P)

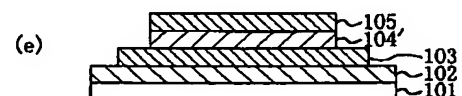
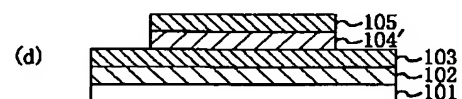
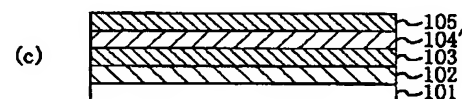
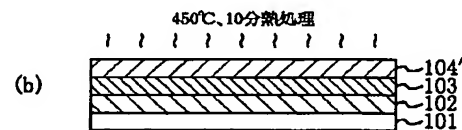
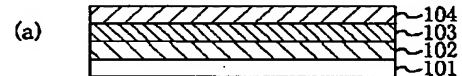
(74) 代理人 弁理士 前田 弘 (外1名)

(54) 【発明の名称】 容量素子の製造方法および半導体装置の製造方法

(57) 【要約】

【課題】 エピタキシャル基板等の熱的に不安定な部材を有する集積回路上に、エピタキシャル基板等の特性を劣化させることなく、比誘電率の高いチタン酸ストロンチウム膜を有する容量素子を提供する。

【解決手段】 エピタキシャル基板101等に影響を及ぼさない温度にて堆積したチタン酸ストロンチウム膜104に対して500℃以下の温度で短時間の熱処理をほどこし、その熱処理によって再結晶化したチタン酸ストロンチウム膜104'を容量絶縁膜として用いて容量素子を製造する。



【特許請求の範囲】

【請求項 1】 熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、
前記下層電極層上に堆積温度 400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、
前記絶縁膜堆積後に、前記堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程と、
前記熱処理後に、前記絶縁膜上に上層電極層を堆積する工程と、を包含することを特徴とする容量素子の製造方法。

【請求項 2】 熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、
前記下層電極層上に堆積温度 400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、
前記絶縁膜上に上層電極層を堆積する工程と、
前記絶縁膜堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程と、を包含することを特徴とする容量素子の製造方法。

【請求項 3】 熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、
前記下層電極層上に堆積温度 400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、
前記絶縁膜上に上層電極層を堆積する工程と、
前記上層電極層を加工する工程と、
前記絶縁膜堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程と、
を包含することを特徴とする容量素子の製造方法。

【請求項 4】 前記熱処理の前に、前記絶縁膜を加工する工程を更に包含する請求項 3 に記載の容量素子の製造方法。

【請求項 5】 前記熱処理の前に、前記下層電極層を加工する工程を更に包含する請求項 4 に記載の容量素子の製造方法。

【請求項 6】 熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、
前記下層電極層上に堆積温度 400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、
前記絶縁膜を所望の容量素子形状に加工する工程と、
前記絶縁膜堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程と、
前記絶縁膜上に上層電極層を形成する工程と、
を包含することを特徴とする容量素子の製造方法。

【請求項 7】 前記熱処理工程における熱処理時間が 5 分以上 30 分以内であることを特徴とする請求項 1 から 6 の何れかに記載の容量素子の製造方法。

【請求項 8】 前記熱処理工程において、熱処理雰囲気が一不活性ガスまたは酸化性ガスであることを特徴とする請求項 1 から 6 の何れかに記載の容量素子の製造方法。

【請求項 9】 前記熱的に特性が変化しやすい構造は、半導体基板と、前記半導体基板上に形成された複数のエ

ピタキシャル成長層とを備えていることを特徴とする請求項 1 から 6 の何れかに記載の容量素子の製造方法。

【請求項 10】 前記絶縁膜として、チタン酸ストロンチウム膜を用いることを特徴とする請求項 1 から 6 の何れかに記載の容量素子の製造方法。

【請求項 11】 エピタキシャル基板にトランジスタと容量素子とを備えた半導体装置を製造する方法であって、

前記容量素子を作製する工程が、

10 エピタキシャル基板上に下層電極層を形成する工程と、
前記下層電極層上に堆積温度 400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、
前記絶縁膜上に上層電極層を堆積する工程と、
を包含し、
前記絶縁膜堆積後において前記上層電極層を堆積する前に、前記堆積温度よりも高く、500℃よりも低い温度で熱処理を行うことを特徴とする、半導体装置の製造方法。

【請求項 12】 前記容量素子の前記上層電極を堆積した後に、前記トランジスタの作製を完了することを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 前記トランジスタを作製工程は、オーミックコンタクト形成のための熱処理を包含しており、前記オーミックコンタクト形成のための熱処理の温度と、前記容量素子作製のための熱処理の温度とが実質的に等しいことを特徴とする請求項 12 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

30 【発明の属する技術分野】本発明は、チタンの酸化物を含む絶縁膜を容量絶縁膜として有する容量素子の製造方法および該容量素子を備えた半導体装置の製造方法に関する。特に、温度 400℃以下にて堆積したチタン酸ストロンチウムを用いた容量素子および半導体装置の製造方法に関する。

【0002】

【従来の技術】はじめに、従来から報告されているチタンの酸化物を含む絶縁膜の堆積方法を説明する。なお、本願明細書では、チタンの酸化物を含む絶縁膜の代表的な材料として、チタン酸ストロンチウムを例に挙げる。チタン酸ストロンチウムの成膜方法としては、有機金属化学気相成長法、スパッタリング法、ゾルゲル法などが報告されている。

【0003】チタン酸ストロンチウム膜は、その比誘電率(100以上)がSiN膜やSiO₂膜の比誘電率に比較して大きいため、容量素子の容量絶縁膜として使用することによって単位面積あたりの容量を高めることができる。そのため、集積度の高いDRAM用容量素子への適用やマイクロ波モノリシックIC(MMIC)の容量素子への適用が検討されている。

【0004】移動体通信用MMICの分野では、周波数が携帯電話用の1GHz前後から今後は更に高い周波数へと増加してゆくため、回路の高周波接地に必要な10pF以上の大きな容量を持つ容量素子を、IC内にできる限り小さい占有面積で集積することが要求されている。また、高周波で電界効果トランジスタを動作させるためには、エピタキシャル成長技術を用いて活性層を形成した化合物半導体基板（以下、「エピタキシャル基板」と称する）を能動素子部分として用いることが望まれる。これは、FETをイオン注入技術を用いて作製する場合、チャネル領域の厚さおよび濃度の制限から高速化に適していないからである。

【0005】これらのことから、高周波動作MMICを実現するには、エピタキシャル基板上に大容量の容量素子を集積化することが重要になってきている。しかしながら、エピタキシャル基板は熱的に不安定であるため、エピタキシャル成長温度よりも高温の熱処理には耐えられない。また、異種の材料からなる層をヘテロエピタキシャル成長させた基板の場合、そのヘテロ界面の熱的な相互拡散による劣化を抑制するためにも、より低い温度でのプロセスが必要となる。このように、熱的に不安定なエピタキシャル基板の劣化を抑制するには、チタン酸ストロンチウムの堆積温度をより低く、また、堆積時間をより短くすることが望まれる。

【0006】

【発明が解決しようとする課題】しかしながら、従来技術によってエピタキシャル成長温度よりも低い温度でチタン酸ストロンチウムの成膜を試みる場合、以下の述べるような種々の問題が生じる。

【0007】まず、有機金属化学気相成長法による場合、低温では、供給する有機金属が熱分解しないため、良好な膜が得られない。そのため、従来の有機金属化学気相成長法を用いてチタン酸ストロンチウムを堆積するには、堆積時の基板温度を650℃程度に設定する必要がある。

【0008】ゾルーゲル法を用いる場合、通常は、焼結温度を800℃程度にして、塗布膜の結晶化を行う。この焼結温度を低温にすると、熔融するストロンチウム源及びチタン源が十分結晶化しないため、良好な膜を得ることが困難となる。

【0009】このような理由のため、エピタキシャル基板上にチタン酸ストロンチウムを堆積するには、現在、主にRFスパッタリング法が用いられている。

【0010】RFスパッタリング法を用いた場合、チタン酸ストロンチウム膜の堆積速度はRFパワーに比例する。しかし、RFパワー密度が過剰になると、チタン酸ストロンチウムターゲットの熱冷却が不十分となり、ターゲットに損傷が発生する。そのため、過剰に大きなRFパワーを印可することは困難であり、チタン酸ストロンチウムの堆積速度を十分に大きくすることはできな

い。また、過剰に高いRFパワーを印可すると、そのスパッタダメージによりエピタキシャル基板の特性劣化が生じてしまう。従って、チタン酸ストロンチウム膜の堆積には、ある一定値以上のRFパワーを印可することができず、そのため、チタン酸ストロンチウムの堆積には長時間が必要となる。このように、RFスパッタリング法を用いた場合は堆積に長時間を要するため、エピタキシャル基板の特性を劣化させないようにするには、堆積温度をより低温にすることが要求される。しかしながら、堆積温度を低くすると、堆積したチタン酸ストロンチウム膜の比誘電率が低下するという問題がある。膜の比誘電率が低いと、容量素子の容量絶縁膜としては不適当である。

【0011】基板がエピタキシャル基板でなくとも、基板ないしは集積回路が熱的に劣化する特性を有する構造を持つ場合、上述の議論と同様の議論が成り立つ。

【0012】本発明は斯かる諸点に鑑みてなされたものであり、その目的は、エピタキシャル基板等の熱的に特性劣化を起こしやすい構造上に、その劣化を抑制しながら、チタンの酸化物からなる絶縁膜を形成し、しかも、その絶縁膜に高い比誘電率を与えることのできる、容量素子の製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明による容量素子の製造方法は、熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、前記下層電極層上に堆積温度400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、前記絶縁膜堆積後に、前記堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程と、前記熱処理後に、前記絶縁膜上に上層電極層を堆積する工程とを包含する。

【0014】本発明による他の容量素子の製造方法は、熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、前記下層電極層上に堆積温度400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、前記絶縁膜上に上層電極層を堆積する工程と、前記絶縁膜堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程とを包含する。

【0015】本発明による更に他の容量素子の製造方法は、熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、前記下層電極層上に堆積温度400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、前記絶縁膜上に上層電極層を堆積する工程と、前記上層電極層を加工する工程と、前記絶縁膜堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程とを包含する。

【0016】前記熱処理の前に、前記絶縁膜を加工する工程を更に包含するようにしてもよい。

【0017】前記熱処理の前に、前記下層電極層を加工する工程を更に包含するようにしてもよい。

武庫之荏伊丹製作所本発明の容量素子の製造方法は、熱的に特性が変化しやすい構造上に下層電極層を形成する工程と、前記下層電極層上に堆積温度400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、前記絶縁膜を所望の容量素子形状に加工する工程と、前記絶縁膜堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程と、前記絶縁膜上に上層電極層を形成する工程とを包含する。

【0018】前記熱処理工程における熱処理時間が5分以上30分以内であることが好ましい。

【0019】前記熱処理工程において、熱処理雰囲気が一不活性ガスまたは酸化性ガスであることが好ましい。

【0020】前記熱的に特性が変化しやすい構造は、半導体基板と、前記半導体基板上に形成された複数のエピタキシャル成長層とを備えていてもよい。

【0021】前記絶縁膜として、チタン酸ストロンチウム膜を用いることが好ましい。

【0022】本発明による半導体装置の製造方法は、エピタキシャル基板にトランジスタと容量素子とを備えた半導体装置を製造する方法であって、前記容量素子を作製する工程が、エピタキシャル基板上に下層電極層を形成する工程と、前記下層電極層上に堆積温度400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、前記絶縁膜上に上層電極層を堆積する工程とを包含し、前記絶縁膜堆積後において前記上層電極層を堆積する前に、前記堆積温度よりも高く、500℃よりも低い温度で熱処理を行うことを特徴とする。

【0023】前記容量素子の前記上層電極を堆積した後に、前記トランジスタの作製を完了することが好ましい。

【0024】前記トランジスタを作製工程は、オーミックコンタクト形成のための熱処理を包含しており、前記オーミックコンタクト形成のための熱処理の温度と、前記容量素子作製のための熱処理の温度とが実質的に等しいことが好ましい。

【0025】

【発明の実施の形態】図1は、本発明の実施形態において用いる化合物半導体基板101の断面構成を模式的に示している。この化合物半導体基板101は、活性層を含む複数のエピタキシャル成長層を具備しているので、本願明細書では、「エピタキシャル基板」と称する。このエピタキシャル基板101は、図1に示されるように、半絶縁性GaAs基板1と、半絶縁性GaAs基板1上に形成された半導体積層構造とから構成されている。この半導体積層構造は、半絶縁性GaAs基板1に近い側から、バッファ層（厚さ600nm）2、i型Al_{0.2}Ga_{0.8}As層（厚さ200nm）3、n型Al_{0.2}Ga_{0.8}As層（厚さ5nm）4、i型Al_{0.2}Ga_{0.8}Asスペーサ層（厚さ5nm）5、i型In_{0.2}Ga_{0.8}As活性層（厚さ10nm）6、i型Al_{0.2}Ga

0.8Asスペーサ層（厚さ5nm）7、n型Al_{0.2}Ga_{0.8}As層（厚さ5nm）8、i型Al_{0.2}Ga_{0.8}As層（厚さ10nm）9、およびn型GaAs層（厚さ30nm）10を備えている。これらの各半導体層は、エピタキシャル成長によって順次積層されたものである。なお、このエピタキシャル基板101は、パターニングされたエピタキシャル層や非エピタキシャル層（例えば非晶質絶縁層）を部分的に含んでも良い。更に言えば、このエピタキシャル基板101は、その内部に種々の電気的な機能を発揮する回路素子（例えばトランジスタ）を含んでもよい。重要な点は、熱的に特性の劣化しやすい構造を有する点にある。このように、本願明細書では「エピタキシャル基板」の用語を広い意味で使用する。

【0026】図2は、図1のエピタキシャル基板101上にRFスパッタリング法によってチタン酸ストロンチウム膜を堆積した場合における、エピタキシャル基板101中の活性層6のキャリア移動度と堆積温度との関係を示している。

【0027】図2のグラフの黒丸（●）からわかるように、堆積温度が300℃以上になると、活性層のキャリア移動度の低下が観察されはじめる。堆積温度が300℃から400℃の範囲内にあるときは、堆積温度が300℃以下の場合の移動度に比較して、約90%から100%の範囲内に収まっている。堆積温度が400℃を越えると、移動度の低下は更に顕著となる。このため、キャリア移動度を高く維持するという観点からは、堆積温度を400℃以下にすることが好ましく、更には、300℃以下にすることがより好ましい。好ましい堆積温度範囲の下限は室温程度である。堆積温度を室温以下に下げても可能であるが、そのためには特別な冷却装置が必要となるので好ましくない。一方、チタン酸ストロンチウム膜の比誘電率と堆積温度との関係（図2のグラフの黒四角（■）印で示される）によれば、堆積温度が低くなると、得られる膜の堆積直後における比誘電率も低くなる。

【0028】本発明では、室温～400℃の範囲にてチタン酸ストロンチウム膜を堆積した後、チタン酸ストロンチウム膜の堆積温度よりも高く、500℃よりも低い温度で熱処理を行い、それによってチタン酸ストロンチウム膜の比誘電率を向上せしめる。その結果、長時間を要するチタン酸ストロンチウム膜の堆積中は基板温度を比較的に低温に保持し、それによって基板（例えばエピタキシャル基板）の特性劣化を抑制するとともに、比較的に高温短時間の熱処理を行い、比誘電率を上昇させることができる。こうして基板の特性を劣化させることなく、チタン酸ストロンチウム膜の結晶化を促進し、比誘電率の高いチタン酸ストロンチウム膜を有する容量素子を形成することが可能となる。

【0029】（第1の実施形態）以下、図3（a）から

(e)を参照しながら、本発明による容量素子の製造方法の実施形態を説明する。

【0030】まず、図3(a)に示すように、SiN保護(厚さ:300nm)膜102で被覆したエピタキシャル基板101上に下層電極層(厚さ:300nm)103を蒸着した後、その上にチタン酸ストロンチウム膜(厚さ:300nm)104を300℃にて堆積する。その堆積時間は90分程度である。チタン酸ストロンチウム膜104の厚さは、絶縁性を高く維持する観点から200nm以上であることが好ましい。下層電極層103としては、Ti/Pt層が用いられ得る。本実施形態では、エピタキシャル基板101として、図1に示される、AlGaAs/InGaAs/AlGaAsのダブルヘテロ構造を有する基板を用いる。

【0031】堆積直後のチタン酸ストロンチウム膜104が示す比誘電率は100程度しかなく、この大きさは容量絶縁膜としては好ましくない。また、この堆積工程によってエピタキシャル基板101は劣化せず、活性層(図1の参照符号「6」で示される層)のキャリア移動度は約7000cm²Vs程度の高い値を示している。

【0032】次に、図3(b)に示すように、450℃にて10分間の熱処理を行う。熱処理の雰囲気としては、不活性ガスまたは酸化性ガスを用いる。不活性ガスとしては窒素やアルゴンが好適に使用され、酸化性ガスとしては酸素が好適に使用され得る。この熱処理によってチタン酸ストロンチウム膜104は再結晶化し、より配向した比誘電率の高いチタン酸ストロンチウム膜104'となる。この熱処理でチタン酸ストロンチウム膜104'の比誘電率は160程度にまで上昇する。一方、エピタキシャル基板101のキャリア移動度は、450℃という比較的的高温の熱処理の後、その熱処理時間が比較的短い、熱処理前の高い値を保持する。言い換えると、エピタキシャル基板101の劣化はほとんど見られない。

【0033】この後、図3(c)に示すように、チタン酸ストロンチウム膜104'上に上層電極層(厚さ:100nm)105として、例えば、白金(Pt)からなる金属膜を堆積した後、図3(d)に示されるように、上層電極層105およびチタン酸ストロンチウム膜104'をパターニングする。このパターニングは、公知のリソグラフィ技術およびエッチング技術を用いて実行される。

【0034】次に、図3(e)に示すように、下層電極層103をパターニングすることによって、下層電極/容量絶縁膜/上層電極の3層構造を有する容量素子が製造される。この下層電極層103をパターニングも、公知のリソグラフィ技術およびエッチング技術を用いて実行される。なお、図3(e)には、単一の容量素子のみが示されているが、現実には、1つのエピタキシャル基板101上に複数の容量素子が形成され得る。これらの

複数の容量素子は、上記工程によって同時に形成される。

【0035】本実施形態の製造方法によって形成した容量絶縁膜(チタン酸ストロンチウム膜104')の比誘電率は、前述のとおり160である。従来方法によって、これと同等の比誘電率を実現するためには、チタン酸ストロンチウム膜104の堆積温度を420℃程度まで上昇させねばならず、堆積時におけるエピタキシャル基板101の特性劣化は免れえない。しかし、本実施形態の方法によれば、基板特性の劣化を抑制し、かつ比誘電率の高い容量素子を集積化することが可能となる。

【0036】なお、上層電極層105のパターニング前に熱処理を行う代わりに、上層電極層105のパターニング後に450℃で10分間の熱処理を施しても、同様の効果が得られる。

【0037】図4は、熱処理温度450℃における熱処理時間に対する比誘電率(■)の変化を示している。また、図4には、熱処理後におけるエピタキシャル基板101の移動度(●)が併せ示されている。図4から、熱処理時間が5分以上であれば比誘電率がほぼ一定の高い値を得ることが可能であること、および、熱処理時間が30分以上になると移動度が急激に低下することがわかる。このため、熱処理温度が450℃程度の場合、熱処理時間を5分以上30分以内にすることが好ましい。

【0038】(第2の実施形態)以下、図5(a)から(e)を参照しながら、本発明による容量素子の製造方法の他の実施形態を説明する。

【0039】まず、図5(a)に示すように、SiN保護(厚さ:300nm)膜102で被覆したエピタキシャル基板101上に下層電極層(厚さ:300nm)103を蒸着した後、その上にチタン酸ストロンチウム膜(厚さ:300nm)104を300℃にて堆積する。その堆積時間は90分程度である。チタン酸ストロンチウム膜104の厚さは、絶縁性を高く維持する観点から200nm以上であることが好ましい。下層電極層103としては、Ti/Ptが用いられ得る。本実施形態でも、エピタキシャル基板101として、図1に示される、AlGaAs/InGaAs/AlGaAsのダブルヘテロ構造を有する基板101を用いる。

【0040】次に、図5(b)に示すように、チタン酸ストロンチウム膜104のパターニングを行う。このパターニングは、公知のリソグラフィ技術およびエッチング技術を用いて実行される。図5(b)には、チタン酸ストロンチウム膜104のパターニングによって形成された加工面501が示されている。パターニングをドライエッチング法によって行う場合、加工面501にはエッチング損傷によって多数の結晶欠陥が形成されていると考えられる。

【0041】この後、図5(c)に示されるように、450℃にて10分間の熱処理を行う。熱処理の雰囲気

は、不活性ガスまたは酸化性ガスである。この熱処理によって、パターンニングされたチタン酸ストロンチウム膜104の結晶配向性が変化し、比誘電率の高いチタン酸ストロンチウム膜104'となる。また、加工面501の結晶欠陥も回復する。450℃、10分間の熱処理によれば、比較的高温であっても短時間の処理であるため、エピタキシャル基板101の劣化は見られない。

【0042】この後、図5(d)に示すように、チタン酸ストロンチウム膜104'上に上層電極層(厚さ:100nm)105を堆積・パターンニングした後、図5(e)に示されるように、下層電極層103をパターンニングすることによって、下層電極/容量絶縁膜/上層電極の3層構造を有する容量素子が製造される。この下層電極層103および上層電極層105のパターンニングも、公知のリソグラフィ技術およびエッチング技術を用いて実行される。

【0043】図5(e)には、単一の容量素子のみが示されているが、現実には、1つのエピタキシャル基板101上に複数の容量素子が形成される。これらの複数の容量素子は、上記工程によって同時に形成される。

【0044】本実施形態によっても、前述の第1の実施形態で得られる効果がそのまま得られる。これに加えて、本実施形態によれば、加工面501(の結晶欠陥)を介したリーク電流の発生を抑制することが可能となり、より絶縁特性に優れたチタン酸ストロンチウム容量素子を実現することが可能となる。

【0045】なお、上層電極層105のパターンニング前に熱処理を行う代わりに、上層電極層105のパターンニング後に450℃で10分間の熱処理を施しても、同様の効果が得られる。

【0046】(第3の実施形態)図6~図7を参照しながら、本発明による半導体装置の製造方法の実施形態(MMIC)を説明する。

【0047】まず、図6(a)に示すようにエピタキシャル基板601上に絶縁保護膜602を堆積する。エピタキシャル基板601の構成は、図1に示すものと同様である。ただし、エピタキシャル基板601の表面のうち、容量素子が形成される領域では、エピタキシャル成長層は存在せず、電界効果型トランジスタ(FET)が形成されるべき領域に設けられている。そのため、エピタキシャル基板601の表面のうち、FETが形成されるべき領域は、他の領域よりも高いレベルにあり、ステップが形成されている。

【0048】次に、図6(b)に示すように、保護膜602上に下層金属膜603、およびチタン酸ストロンチウム膜604をこの順序で堆積した後、400℃の熱処理を10分間行う。

【0049】図6(c)に示すように、上層金属膜605を堆積した後、図6(d)に示すように、上層金属膜605およびチタン酸ストロンチウム膜604をパター

ニングする。次に、図6(e)に示すように、下層金属膜603をパターンニングする。図6(b)~図6(e)の各工程は、第1および第2の実施形態について説明した工程と同様に実行すれば良い。

【0050】次に、図7(a)に示すように、FETを形成すべき領域から保護膜602を除去した後、図7

(b)に示すように、他の保護膜606で図7(a)の構造を覆う。その後、図7(c)に示すように、公知の方法で電界効果型トランジスタを形成する。このとき、前記保護膜606にコンタクトホールを開口した後、オーミックコンタクト用電極をコンタクトホール内に形成する。その後、図7(d)に示すように、配線607を形成し、容量素子の下層電極603を電界効果型トランジスタのソース/ドレインに接続するとともに、容量素子の下層電極605を不図示の他の回路素子に接続する。この後、コンタクトをオーミック化するための熱処理(シンタリング)を行う。この熱処理は例えば400℃で1分~10分行う。

【0051】なお、本実施形態では、チタン酸ストロンチウム膜604に対する熱処理の温度を、コンタクトをオーミック化するための熱処理温度と同じレベルに設定している。

【0052】図8は、チタン酸ストロンチウム膜604の比誘電率が上記製造プロセス工程段階に応じてどのように推移するかを示すグラフである。図8には、本実施形態および比較例の両方について比誘電率を示している。比較例では、チタン酸ストロンチウム膜604に対する熱処理を省略している。

【0053】本実施形態によれば、容量素子作製直後において、既に高い比誘電率が得られており、コンタクトをオーミック化する熱処理の後も、その比誘電率に変化はみられない。また、比誘電率のサンプル間ばらつきも小さい。これに対して、比較例では、容量素子作製直後に低かった比誘電率が、コンタクトをオーミック化する熱処理の後に増大している。電界効果型トランジスタを作製するプロセスは比較的高い温度で実行される種々のプロセス工程を含んでいる。そのなかで最も温度が高いものがコンタクトをオーミック化する熱処理である。従って、比較例では、容量素子作製後も、比誘電率は徐々に増加し、最終的に、コンタクトをオーミック化する熱処理後に最大化していると考えられる。電界効果型トランジスタを作製するための種々の工程で、比誘電率は分散し、最終的な比誘電率の値は実施形態に比較して大きくばらついている。

【0054】本実施形態によれば、電界効果型トランジスタの作製プロセスの前に、チタン酸ストロンチウム膜に対する熱処理を行うことによって、その比誘電率を均一かつ再現性良く充分に向上させている。そのため、その後の熱処理で比誘電率が多くばらつくことが防止される。

【0055】この場合、チタン酸ストロンチウム膜604に対する熱処理温度は、その後に行われる熱処理の最高温度に一致させることが好ましい。本実施形態では、コンタクトをオーミック化するための熱処理が400℃であるため、チタン酸ストロンチウム膜に対する熱処理温度も400℃に設定している。もし、コンタクトをオーミック化するための熱処理が450℃の場合は、チタン酸ストロンチウム膜に対する熱処理温度も450℃に設定することが最も好ましい。もちろん、これらの熱処理温度に5～10%程度の差異があっても、本発明の効果は得られる。

【0056】以上の各実施形態では、チタンの酸化物を含む絶縁膜として、チタン酸ストロンチウム膜を例にとって本発明を説明してきたが、他の材料からなる絶縁膜、例えば、チタン酸バリウムストロンチウム膜や酸化タンタル膜を用いても本発明の効果は得られる。また、実施形態における各層の厚さは、例示したものに限定されないことは言うまでもない。

【0057】上記各実施形態では、容量素子をエピタキシャル基板上に形成する例についてのみ本発明を説明してきたが、本発明はこれに限定されない。400℃を越える熱プロセスによって経時的に特性が劣化するような構造上に、チタンの酸化物を含む絶縁膜を容量絶縁膜として形成する場合に、本発明を広く適用して効果を得ることが可能である。上記の熱的に特性が劣化しやすい「構造」には、例えば、不純物の熱拡散によって特性が大きく変化する半導体装置や、結晶構造の熱による変化によって特性が変化する装置が含まれる。ここでいう「特性」は、キャリア移動度以外に、例えば、比誘電率、導電率、屈折率、エネルギーバンドなどの種々の電気的・光学的特性が含まれ得る。

【0058】

【発明の効果】以上説明したように、本発明によれば、堆積温度400℃以下にてチタンの酸化物を含む絶縁膜を堆積する工程と、その絶縁膜堆積工程後に、絶縁膜堆積温度よりも高く、500℃よりも低い温度で熱処理を行う工程を包含しているため、比較的長時間を要する絶縁膜の堆積中は基板温度を比較的に低温に保持し、それによってエピタキシャル基板の特性劣化を抑制する一

方、堆積温度より高温かつ短時間の熱処理にて焼結を行うことによって、エピタキシャル基板の特性劣化を避けながらチタンの酸化物を含む絶縁膜の結晶化を促進することができる。こうして、本発明によれば、エピタキシャル基板の特性を劣化させることなく、比誘電率の高いチタンの酸化物膜を形成でき、それによって容量値の大きな容量素子をエピタキシャル基板等の熱的に劣化しやすい基板上に形成することが可能となる。

【図面の簡単な説明】

10 【図1】実施形態に用いたエピタキシャル基板の構造を示す断面図である。

【図2】堆積温度とチタン酸ストロンチウム膜堆積後のエピタキシャル基板の活性層の移動度および比誘電率の関係を示すグラフである。

【図3】(a)から(e)は、本発明による容量素子の製造方法の実施形態を説明するための工程断面図である。

【図4】チタン酸ストロンチウム容量素子の比誘電率の450℃熱処理時間依存性を示すグラフである。

20 【図5】(a)から(e)は、本発明による容量素子の製造方法の他の実施形態を説明するための工程断面図である。

【図6】(a)から(e)は、本発明による半導体装置の製造方法の実施形態を説明する。

【図7】(a)から(d)は、本発明による半導体装置の製造方法の実施形態を説明する。

【図8】チタン酸ストロンチウム膜の比誘電率が電界効果型トランジスタの製造プロセスによってどのように推移するかを示すグラフである。

30 【符号の説明】

101 エピタキシャル基板

102 SiN保護膜

103 下層電極層(Ti/Pt)

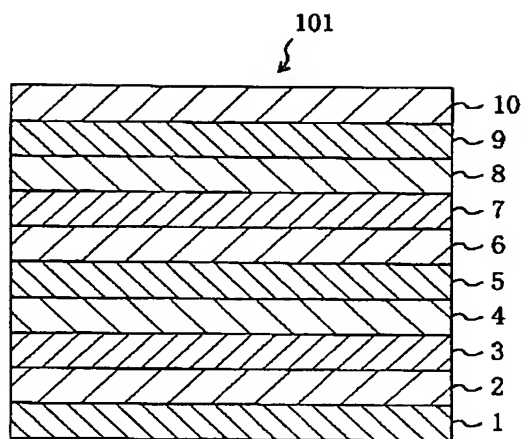
104 チタン酸ストロンチウム

104' 450℃10分の熱処理により焼結されたチタン酸ストロンチウム

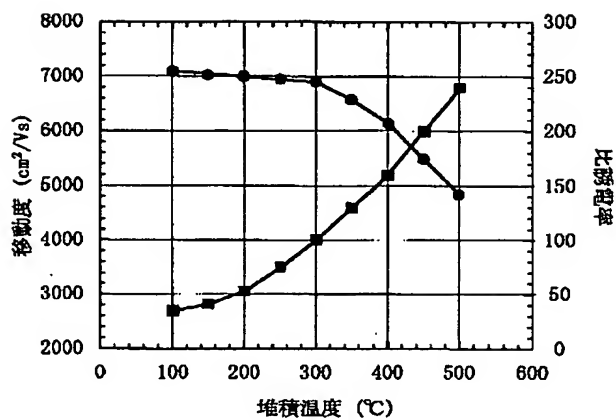
105 上層電極層

501 加工ダメージにより導入された結晶欠陥

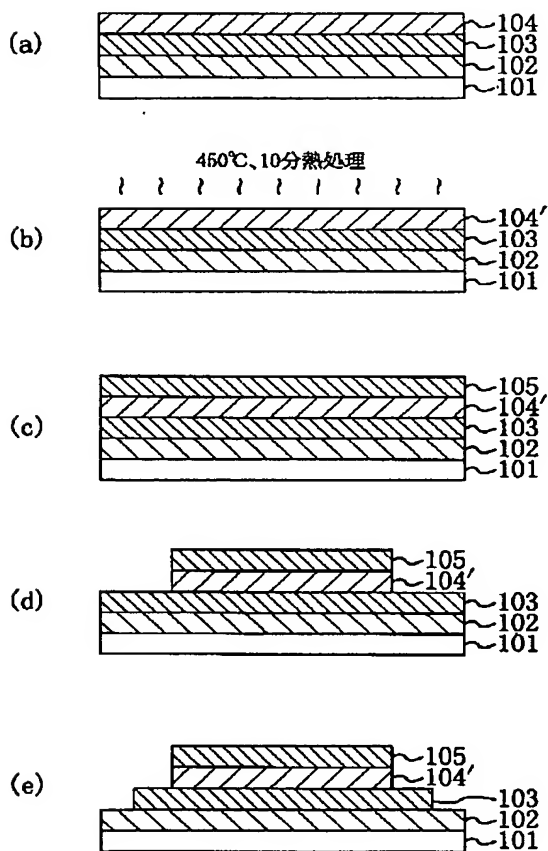
【図 1】



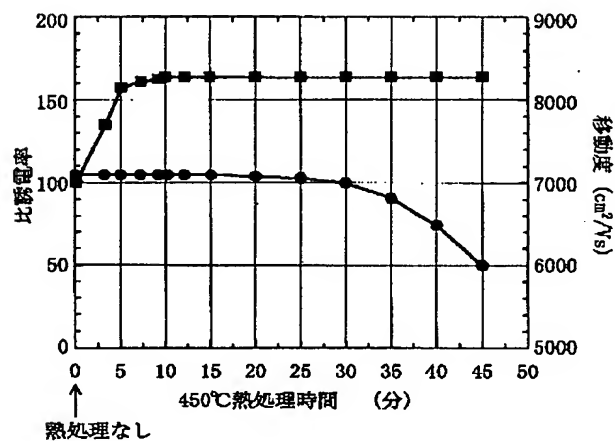
【図 2】



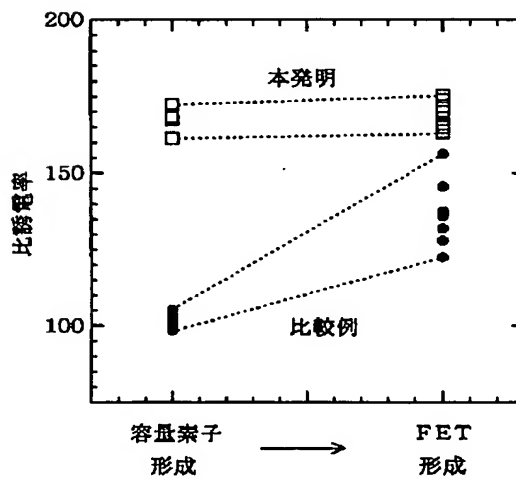
【図 3】



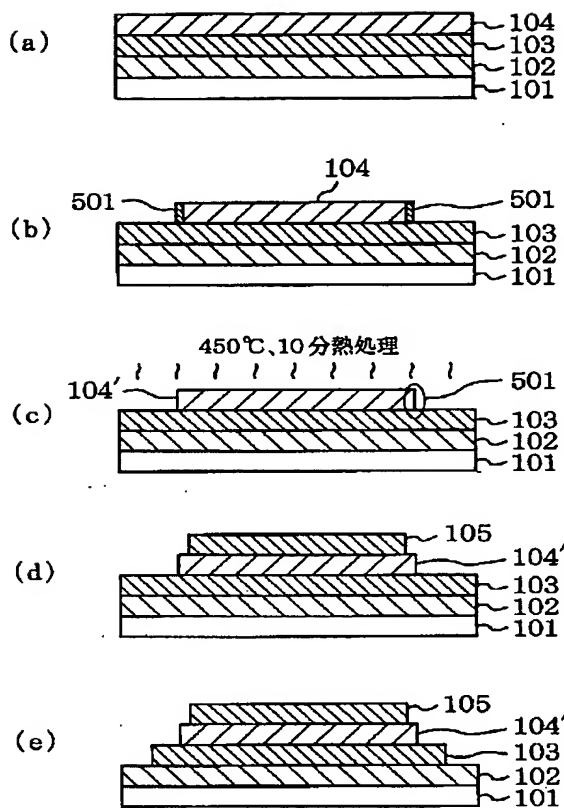
【図 4】



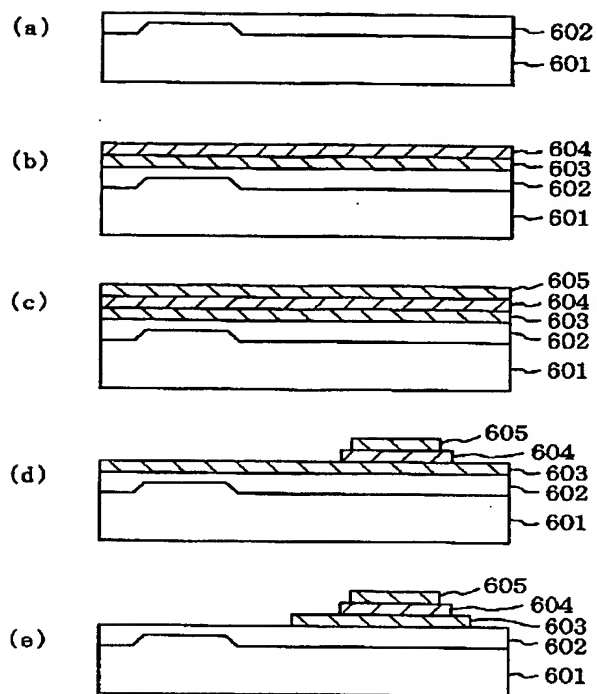
【図 8】



【図 5】



【図 6】



【図 7】

